

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

The Delphi n Integrated View

Buy Now: [PDF](#) | [More choices...](#)

Tools: Add to Work File: [Create new](#)

View: [INPADOC](#) | Jump to: [Top](#) Go to: [Derwent...](#)

Title: **JP59006581A2: SEMICONDUCTOR NONVOLATILE MEMORY DEVICE**

Country: **JP Japan**

Kind: **A**

Inventor: **MATSUO RYUICHI;**

Assignee: **MITSUBISHI ELECTRIC CORP**
[News, Profiles, Stocks and More about this company](#)

Published / Filed: **1984-01-13 / 1982-07-02**

Application
Number: **JP1982000115932**

IPC Code: **H01L 29/78; G11C 17/00; H01L 31/02;**

Priority Number: **1982-07-02 JP1982000115932**

Abstract:

PURPOSE: To enable to protect information from unintended irradiation of ultraviolet rays at least at the following part by a method wherein a part is wrapped with a shield film which does not transmit ultraviolet rays in an EEPROM which can perform electrical write and erase.

CONSTITUTION: The titled device is composed of an n type drain impurity diffused region 2 and an n type source impurity diffused region 3 which are formed at the main surface part of a p type si substrate 1 at a fixed interval each other, an SiO₂ film 4 formed on the surfaces thereof, a floating gate conductor layer 5 so buried in this SiO₂ film 4 as to pass from above the drain 2 through above the substrate 1 between the drain 2 and the source 3 and then reach above the source 3, a tunnel SiO₂ film 6 between the end part on the drain 2 side of the floating gate 5 and the drain 2, a control gate conductor layer 7 so buried in the SiO₂ film 4 as to be located above the floating gate 5, and the shield film 9 composed of a substance which shields the ultraviolet ray 8.

COPYRIGHT: (C)1984,JPO&Japio

Family: **None**

Forward
References:

Go to Result Set: [Forward references \(2\)](#)

Buy PDF	Patent	Pub.Date	Inventor	Assignee	Title
	US5440510	1995-08-08	Caprara; Paolo	SGS-Thomson Microelectronics, S.R.L.	Integrated circuit entirely pr against ultraviolet rays
	US4758984	1988-07-19	Yoshida; Masanobu	Fujitsu Limited	Semiconductor memory de including read only memor for storing fixed information

Other Abstract
Info:

CHEMABS 100(18)149579M

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—6581

⑪ Int. Cl.³
H 01 L 29/78
G 11 C 17/00
H 01 L 31/02

識別記号

1 0 1

庁内整理番号
7514—5F
6549—5B
7021—5F

⑬ 公開 昭和59年(1984)1月13日

発明の数 2
審査請求 未請求

(全 7 頁)

⑭ 半導体不揮発性記憶装置

機株式会社北伊丹製作所内

⑯ 特 願 昭57—115932

⑰ 出 願 人 三菱電機株式会社

⑱ 出 願 昭57(1982)7月2日

東京都千代田区丸の内2丁目2
番3号

⑲ 発 明 者 松尾龍一

⑳ 代 理 人 弁理士 葛野信一 外1名

伊丹市瑞原4丁目1番地三菱電

明 細 書

1. 発明の名称

半導体不揮発性記憶装置

2. 特許請求の範囲

(1)電気的に情報の書き込みおよび消去が可能な電界効果メモリトランジスタをマトリックス状に配列してなる記憶素子を備えた半導体不揮発性記憶装置において、電界効果メモリトランジスタの少なくとも1個を紫外線を透過させないしやへい膜で包み込んだことを特徴とする半導体不揮発性記憶装置。

(2)電界効果メモリトランジスタが、半導体基板上に絶縁された電荷蓄積可能な浮遊ゲートと制御ゲートとを備えた浮遊ゲート型の電界効果メモリトランジスタであることを特徴とする特許請求の範囲第1項記載の半導体不揮発性記憶装置。

(3)電界効果トランジスタが、半導体基板上に薄いシリコン酸化膜を介して形成されたシリコン窒化膜を備えたMNOS型の電界効果メモリトランジスタであることを特徴とする 許請求の範囲第1

項記載の半導体不揮発性記憶装置。

(4)電気的に情報の書き込みおよび消去が可能でかつ紫外線を透過させないしやへい膜で包み込むことにより紫外線照射による消去を不能にした電界効果メモリトランジスタと、電気的な消去が不能で紫外線照射によつてのみ消去可能なFAMOS型の電界効果メモリトランジスタとを同一半導体基板上に混在させてマトリックス状に配列してなる記憶素子を備えた半導体不揮発性記憶装置。

(5)紫外線照射による消去を不能にした電界効果メモリトランジスタと、FAMOS型の電界効果メモリトランジスタとを、それぞれ特定の行または列アドレスを有するメモリエリアに区分して配列し、特定のアドレス入力信号によりいずれか一方のトランジスタ群を選択できるようにしたことを特徴とする特許請求の範囲第4項記載の半導体不揮発性記憶装置。

(6)紫外線照射による消去を不能にした電界効果メモリトランジスタと、FAMOS型の電界効果メモリトランジスタとを、それぞれ特定のデータ入出

力端子に対応するメモリエリアに区分して配列したことを特徴とする特許請求の範囲第4項記載の半導体不揮発性記憶装置。

3. 発明の詳細な説明

この発明は、情報の電氣的 書き込みおよび電氣的消去が可能な半導体不揮発性記憶装置に関するものである。

この種の半導体不揮発性記憶装置としては、従来互いに絶縁された電荷蓄積可能な浮遊ゲートと制御ゲートとを有する浮遊ゲート型の EEPROM (Electrically Erasable and Programmable Read Only Memory) およびいわゆる MNOS (Metal Nitride Oxide Semiconductor) 型の EEPROM があり、近年非常に注目を浴びている。

しかしながら、これらの EEPROM は、いずれも既知の紫外線照射消去型 FAMOS (Floating Gate Avalanche Injection MOS) トランジスタを用いた EPROM (Erasable and Programmable Read Only Memory) と同様に、紫外線もしくは紫外線域に近い波長の光 (以下単に紫外線という) の照射によ

つて情報が消去される性質を有している。

このため、ウェハ製造後のウェハ状態における書き込みおよび読出し試験は少なくとも紫外線をしゃへいするようにして行なわなければならないという欠点があつた。

また、従来紫外線照射消去型の EPROM の IO パッケージは紫外線透過ガラス等からなる窓を備え、この窓から紫外線を照射することによりチップ上の全情報が消去されるように構成されており、他方上述したような EEPROM ではこのような窓は設けられずプラスチックやセラミック等の絶縁物でチップを包み込んだ構成を有しているが、今後、EEPROM に比較して数倍程度情報の保持性能に優れている紫外線照射消去型の FAMOS メモリと電氣的に容易に情報の消去が可能な EEPROM とを同一チップ上で組み合わせて用いようとする場合、紫外線照射用の窓を設けて FAMOS メモリを消去しようとするれば、常に同時に EEPROM も消去されてしまい、必ずしも両者の特徴を十分に生かして使うことができない。

この発明は、以上のような状況に鑑みてなされたものであり、その目的は、電氣的な書き込みおよび消去が可能な浮遊ゲート型 EEPROM もしくは MNOS 型 EEPROM において紫外線の照射にかかわらず情報の保存が可能な半導体不揮発性記憶装置を提供することにある。

このような目的を達成するために、この発明は、マトリクス状に配列したメモリトランジスタの少なくとも1個を紫外線を透過させないしゃへい膜で包み込んだものである。以下、図示する実施例を用いてこの発明を詳細に説明する。

第1図はこの発明に係る半導体不揮発性記憶装置を構成するメモリエルの一例を示す側断面図である。この例は、浮遊ゲート型の n チャンネル形 EEPROM のメモリエルの構成例を示したものであり、p 形シリコン基板 (1)、この基板 (1) の主面部に互いに所定間隔をおいて形成された n 形ドレイン不純物拡散領域 (以下ドレインという) (2) および n 形ソース不純物拡散領域 (以下ソースという) (3)、これらの表面上に形成された SiO₂ 膜

(4)、この SiO₂ 膜 (4) の内部にドレイン (2) の上方からドレイン (2) およびソース (3) 間の基板 (1) の上方を通つてソース (3) の上方に達するように細設されたフローティングゲート導電体層 (以下浮遊ゲートという) (5)、浮遊ゲート (5) のドレイン (2) の側の端部とドレイン (2) との間のトンネル SiO₂ 膜 (6)、SiO₂ 膜 (4) の内部に浮遊ゲート (5) の上方に位置するように細設された制御ゲート導電体層 (以下制御ゲートという) (7) および紫外線 (8) をしゃへいする物質からなるしゃへい膜 (9) から構成される。なお、ドレイン (2) と浮遊ゲート (5) との間のトンネル SiO₂ 膜 (6) は、その膜厚を上記ドレイン (2) と浮遊ゲート (5) との間でトンネル現象が生じ得るように 10~300 Å 程度に設定すると共に、この部分以外の浮遊ゲート (5) の直下における SiO₂ 膜 (4) の膜厚はトンネル現象が生じないように 500 Å 以上に設定してある。また、制御ゲート (7) と浮遊ゲート (5) とは、両者間でトンネル現象が生じない程度の間隔をおいて配置してある。

上記構成において、浮遊ゲート(5)に電子を充電することを書き込みといい、浮遊ゲート(5)から電子を放出することを消去という。

そこで先ず、書き込みは、ドレイン(2)、ソース(3)およびp形シリコン基板(1)を接地し、トンネル810Å膜(6)にトンネル現象を生じさせるのに必要な大きさの電界が発生するように、基板(1)に対して正の電圧を制御ゲート(7)に印加することにより行なう。即ち、このような電圧を印加することにより、電子が基板(1)からトンネル現象によりトンネル810Å膜(6)を通り抜けて浮遊ゲート(5)に注入され、この注入電子によつて浮遊ゲート(5)が充電されて書き込みが完了する。この浮遊ゲート(5)を充電した電子は、浮遊ゲート(5)が810Å膜(4)によつて取り囲まれているために、制御ゲート(7)に印加した正の電圧を取り除いた後も浮遊ゲート(5)に保持される。

次に電氣的消去は、制御ゲート(7)、ソース(3)およびp形シリコン基板(1)を接地し、トンネル810Å膜(6)においてトンネル現象を生じさせるに

足る大きさの電界が発生するように、基板(1)に対して正の電圧をドレイン(2)に印加することにより行なう。即ち、このような電圧を印加することにより、トンネル810Å膜(6)に上記書き込み時とは逆方向の電界が生じ、浮遊ゲート(5)に蓄積されている電子が浮遊ゲート(5)からトンネル810Å膜(6)をトンネル現象によつて通り抜けドレイン(2)を経て基板(1)に放出されて消去が完了する。

また、書き込まれた情報の読み出しは浮遊ゲート(5)に電子が蓄積されているか否かによつて制御ゲート(7)のしきい値電圧が変化することを利用して行なう。即ち、この電圧の変化に基づくドレイン(2)およびソース(3)間に流れる電流のオン状態、オフ状態の違いによつて、“1”と“0”との論理信号を得ることができる。

このように情報の電氣的書き込み、読出しおよび電氣的消去は従来と同様の動作により行なわれる。しかしながら、これに紫外線(8)が照射されても、紫外線(8)はしゃへい膜(9)にしゃへいされて浮

遊ゲート(5)に到達することなく、浮遊ゲート(5)の内部の電荷は安定に保持される。即ち、従来のものと異なり、予期しない、あるいは意図的な紫外線の照射によつて情報が消去されることはない。

しゃへい膜(9)を構成する物質は、例えばモリブデン等の導電物質でも絶縁物質でも、紫外線をしゃへいする物質であればよく、例えば第2図に示すように、トランジスタ領域を導電物質からなるしゃへい膜(9a)で覆うと共にこのしゃへい膜(9a)とp形シリコン基板(1)との接触面に紫外線(8)をしゃへいする絶縁物質からなるしゃへい膜(9b)を介在させた構造としても良い。なお、このように絶縁性のしゃへい膜(9b)を介在させることにより、基板(1)と導電性のしゃへい膜(9a)との間に電流が流れて雑音の原因となるおそれを回避できる。

次に、第3図は、同一半導体チップに上述したような紫外線照射で消去されないEEPROMと紫外線照射消去型のEPROMとを混在させたメモリを備えたこの発明の一実施例を示すブロック図である。

同図において、メモリ(11)は、 $A_0 \sim A_{10}$ の11本のアドレス入力がありかつデータ入出力端子(12)が1個であるから $2^{11} \times 1 = 2048$ ビットの記憶容量を有している。 $A_0 \sim A_{10}$ のアドレス入力信号として与えられた信号はアドレス入力バッファ(13)を介して行アドレスデコーダ(14)および列アドレスデコーダ(15)でデコードされ、メモリ(11)のうちの容量1ビットの所定のメモリアドレスを選択する。

マトリクス状に配列されたメモリセルトランジスタからなるメモリ(11)は、紫外線照射で消去可能なFAMOSトランジスタからなる第1のメモリエリア(11a)と、本発明による紫外線照射で消去不可能なEEPROMからなる第2のメモリエリア(11b)(斜線部分)とによつて構成され、両エリアは互いにその列アドレスを異にしている。従つて、列アドレス入力信号を“H”もしくは“L”にすることにより、どちらか一方のメモリエリアを選択することができる。

第1のメモリエリア(11a)はセンスアンプを含

むリード・ライトコントロール回路(16)に接続されており、リード・ライト信号端子(17)に入力されるリード・ライト信号により読み出し、書き込みモードが選択される。また、バッファを含むデータ入出力回路(18)を介してデータ入出力端子(12)と接続される。

また、第2のメモリエリア(11b)は、リード・ライト・コントロール回路(16)およびデータ入出力回路(18)を介してデータ入出力端子(12)に接続されると共に、消去・リード・ライトコントロール回路(19)を介して消去信号端子(20)およびリード・ライト信号端子(17)に接続されている。

次に、上記構成の動作について説明すると、先ず、アドレス入力A₀～A₁₀を設定し、データ入出力端子(12)から任意のデータ“1”または“0”を入力すると共にリード・ライト信号を書き込みモードにすることにより、所定のメモリアドレスに任意のデータ“0”または“1”が書き込まれる。

読み出し時には、アドレス入力A₀～A₁₀を設定すると共にリード・ライト信号を読み出しモード

とすることにより、所定のメモリアドレスから書き込まれていたデータを示す“1”もしくは“0”の号がセンスアンプおよび出力バッファを介してデータ入出力端子(12)に出力される。

次に消去は、EEPROM からなる第2のメモリエリア(11b)については、消去信号端子(20)に消去信号を与え消去・リード・ライトコントロール回路(19)を作動させることにより電氣的に行なうことができる。FAMOS トランジスタからなる第1のメモリエリア(11a)については、紫外線を照射することによつて消去できるが、この時第2のメモリエリア(11b)に書き込まれた情報はしゃへい膜が紫外線をしゃへいするため消去されずに保存される。

従つて、上述した構造の不揮発性記憶装置をシステム基板上に実装した場合など、頻繁に書き換えを必要としない情報は前述したようにEEPROM に比べて数倍程度保持特性のすぐれたFAMOS メモリエリアに記憶させておき、頻繁に書き換えを行なう情報はEEPROM エリアに記憶させ、システム

基板上に実装した状態で電氣的信号によつて書き換えを行なうことができる。

更に、FAMOS メモリエリアの情報は紫外線を照射することによつて消去されるがEEPROM エリアの情報は紫外線によつては消去されない。従つて、紫外線照射で消去を行なう場合には、消去されたくない情報を予めEEPROM エリアに記憶させておけば保存が可能である。

なお、上述した実施例においてはメモリトランジスタを10行2列のマトリックス構成とし、A₁₀の列アドレス入力信号によつて紫外線で消去できるFAMOS メモリエリアと紫外線で消去できないEEPROM エリアとを識別できるようにしたが、この発明はこれに限定されるものではなく、いかなる行または列のアドレス信号によつて識別できるようにしても良いことは勿論である。

第4図は、この発明の他の実施例を示すブロック図である。即ち、本実施例では、メモリ(21)をそれぞれデータ入出力端子(22a)、(22b)に対応する2つのエリアに区分し、センスアンプ(23a)お

よびデータ入出力回路(24a)を介してデータ入出力端子(22a)に接続された第1のメモリエリア(21a)を紫外線照射で消去可能なFAMOS トランジスタで、センスアンプ(23b)およびデータ入出力回路(24b)を介してデータ入出力端子(22b)に接続された第2のメモリエリア(21b)(斜線部分)を紫外線しゃへい膜を設けて消去不能にしたEEPROM で構成してあり、利用者は各情報をその性質の違いにより区分して各入出力端子から各メモリエリアに書き込みかつそれを読み出すことができる。

なお、上述した実施例は2つのデータ入出力端子とそれぞれに対応した2つのメモリエリアを有する例であるが、より多数の入出力端子およびそれに対応するメモリエリアを設ける場合に、それらのうちのいずれか複数のメモリエリアを紫外線で消去されないEEPROM で、残りを紫外線で消去可能なFAMOS トランジスタによつて構成しても良いことは勿論である。

また、上述した実施例では浮遊ゲート型のEEPROM を用いた場合についてのみ説明したが、この発明

はこれに限定されるものではなく MNOS 型の EEPROM を用いても同様に構成し、同様の効果を得ることができる。第5図にこのようなメモリセルの一例を示す。即ち、同図において、 n 形シリコン基板(31)に積層した p 形シリコン基板(1)の表面上に形成された SiO_2 膜(4)の内部に、ドレイン(2)の上方からソース(3)の上方にかけて $10\sim50\text{\AA}$ 程度の薄いトンネル SiO_2 膜(6)を介して $300\sim600\text{\AA}$ 程度の厚い窒化膜(32)とゲート(33)が積設されているが、トンネル SiO_2 膜(6)および窒化膜(32)ならびにゲート(33)はそれぞれ第1図のトンネル SiO_2 膜(6)および浮遊ゲート(5)ならびに制御ゲート(7)に相当する。その他、しゃへい膜(9)など第1図と同一記号は同様の部分を示し、第1図のものと全く同様の作用を行なう。同様に第6図に示すようにしゃへい膜を導電性のしゃへい膜(9a)と絶縁性のしゃへい膜(9b)とで構成した場合にも、第2図に示したものと同様の作用、効果を示す。

以上説明したように、この発明によれば、電気的に書き込みおよび消去を行なうことが可能な

EEPROM において、一部を紫外線を透過させないしゃへい膜で包んだことにより、少なくともその部分は意図せざる紫外線の照射から情報を保護することができるため、信頼性の向上に有効である。また、例えば保持特性が優れかつ紫外線によつて消去可能な FAMOS メモリと組み合わせ、これらを同一半導体基板上に混在させて構成することにより、当該基板上のメモリエリアの一部は意図的な紫外線の照射によつて消去できるのに対して他のエリアは紫外線によつては消去されないと共に電気的に消去できるような構成にすることができるため、多様な利用法が可能となる利点を有する。

4. 図面の簡単な説明

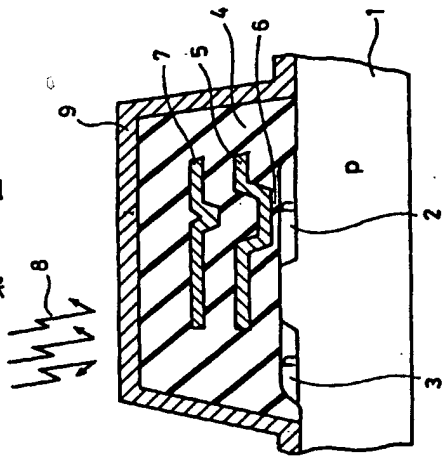
第1図はこの発明に係る半導体不揮発性記憶装置を構成するメモリセルの一例を示す断面図、第2図は他の例を示す断面図、第3図はこの発明の一実施例を示すブロック図、第4図は他の実施例を示すブロック図、第5図および第6図はそれぞれメモリセルの他の構成例を示す断面図である。

(1) p 形シリコン基板、(4)

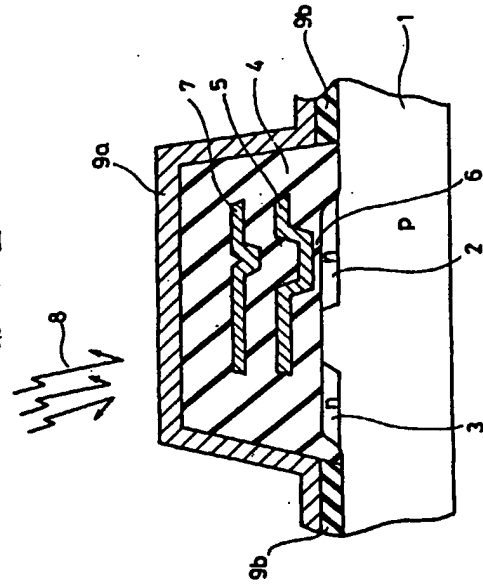
SiO_2 膜、(5) 浮遊ゲート、(6)
トンネル SiO_2 膜、(7) 制御ゲート、(8)
. 紫外線、(9), (9a), (9b) しゃ
へい膜、(11), (21) メモリ、(11a),
(21a) 紫外線照射消去可能な第1のメモ
リエリア、(11b), (21b) 紫外線照射消
去不能な第2のメモリエリア、(12), (22a),
(22b) データ入出力回路、(32)
窒化膜、(33) ゲート、 $A_0 \sim A_{10}$ ア
ドレス入力信号。

代理人 葛野 信 一

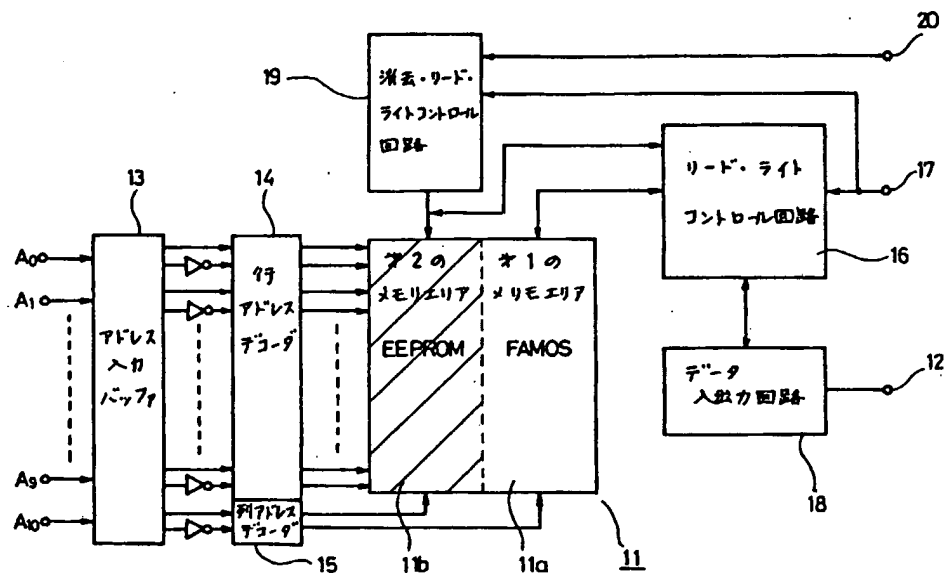
第 1 図



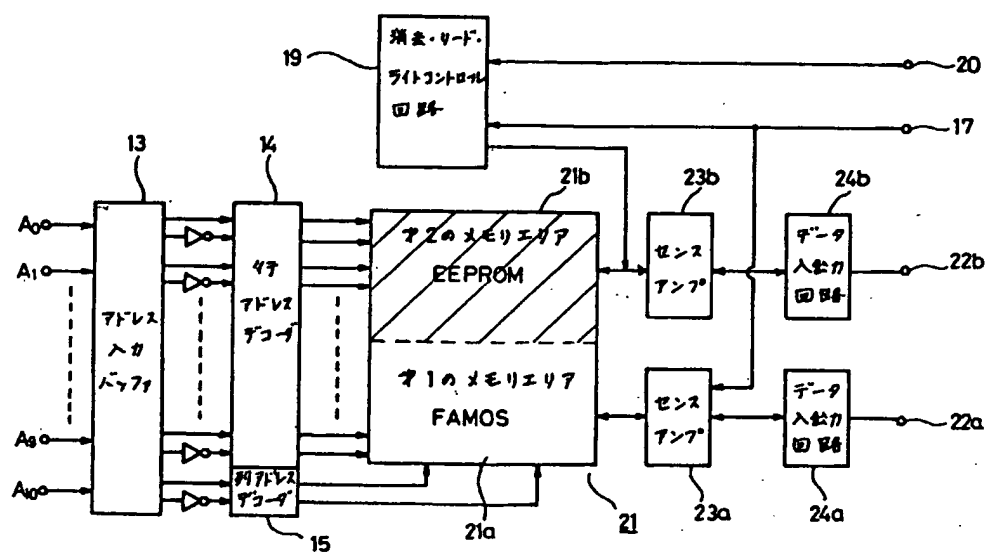
第 2 図



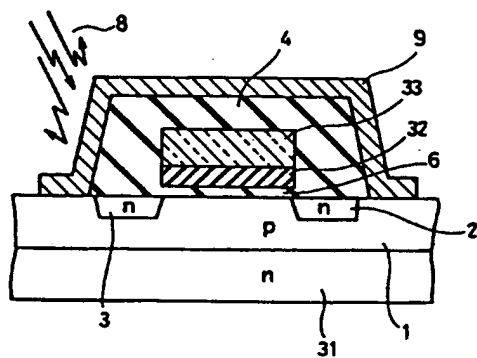
第 3 図



第 4 圖



第 5 図



第 6 圖

